

ÍNDICE DAS FIGURAS

Fig. 1.1 - O computador como sistema de processamento de informação	5
Fig. 1.2 - Estrutura básica de um computador	7
Fig. 1.3 - Arquitectura básica de um computador	7
Fig. 1.4 - Processo de transformar um conceito num programa que um computador saiba executar. Parte do percurso é automático, mas a parte mais difícil ainda é manual	13
Fig. 1.5 - Lei de Moore verificada pela evolução do número de transístores dos microprocessadores produzidos pela Intel	24
Fig. 2.1 - Amplificador de sinais analógicos. (a) – Com um transístor e uma resistência; (b) – O transístor comporta-se como uma resistência variável, controlada pelo sinal de entrada	30
Fig. 2.2 - (a) – Circuito inversor; (b) – Função de transferência	32
Fig. 2.3 - Circuito inversor binário. (a) – Com 0 à entrada e 1 à saída; (b) – Situação inversa	33
Fig. 2.4 - Comportamento de dois inversores. (a) – Circuito; (b) – Diagrama temporal simplificado; (c) – Diagrama temporal detalhado	33
Fig. 2.5 - Implementação simplificada de duas portas lógicas. (a) – NAND; (b) – NOR	37
Fig. 2.6 - Exemplos de mapas de Karnaugh de 4 entradas	43
Fig. 2.7 - Mapas de Karnaugh das funções Z1 e Z2 da Tabela 2.4	45
Fig. 2.8 - Logigrama do circuito correspondente às saídas Z1 e Z2 na Fig. 2.7	46
Fig. 2.9 - Circuito equivalente de um <i>multiplexer</i> , exemplificado para quatro entradas e dois sinais de selecção. A saída pode ser feita igual a qualquer das entradas, mas apenas a uma de cada vez (de acordo com os sinais de selecção)	48
Fig. 2.10 - <i>Multiplexers</i> de 2, 4, 8 e 16 entradas, com 1, 2, 3 e 4 sinais de selecção, respectivamente	49
Fig. 2.11 - Logigrama e tabela de verdade dos <i>multiplexers</i> da Fig. 2.10. (a) – Duas entradas; (b) – Quatro entradas	49
Fig. 2.12 - Utilização de <i>multiplexers</i> para implementar as funções Z1 e Z2 da Tabela 2.3	50
Fig. 2.13 - Mostrador (<i>display</i>) de sete segmentos e algumas das combinações possíveis	51
Fig. 2.14 - Ligação do decodificador ao mostrador de sete segmentos	52
Fig. 2.15 - Exemplos de representação. (a) – Decodificador 1-de-4; (b) – Decodificador 1-de-8	53

Fig. 2.16 - Estrutura interna de uma ROM (<i>Read Only Memory</i>). Cada OR tem tantas entradas quantas as saídas do decodificador	54
Fig. 2.17 - Trinco SR com NORs. (a) – Circuito; (b) – Tabela de estados.....	57
Fig. 2.18 - Trinco SR com NANDs. (a) – Circuito; (b) – Tabela de estados.....	58
Fig. 2.19 - Trinco D. (a) – Circuito; (b) – Tabela de estados	59
Fig. 2.20 - Bâscula D activada pelo flanco (<i>edge-triggered</i>) ascendente	60
Fig. 2.21 - Representação dos trincos e bâsculas D. (a) – Trinco; (b) – Bâscula D activada no flanco ascendente de C; (c) – Bâscula D activada no flanco descendente de C	60
Fig. 2.22 - Exemplo de comportamento dos trincos e bâsculas D.....	61
Fig. 2.23 - Bâscula D em circuito de transição alternada (<i>toggle</i>). (a) – Circuito; (b) – Diagrama temporal.....	61
Fig. 2.24 - Bâscula D com entradas para forçar estados de 0 (CL – <i>Clear</i>) e 1 (PR – <i>Preset</i>)	62
Fig. 2.25 - Registos. (a) – Trinco (<i>latch</i>) de 8 <i>bits</i> ; (b) – Registo com bâsculas de 8 <i>bits</i> , activado pelo flanco ascendente do relógio e com sinal de inicialização a 0; (c) – Representação do trinco de 8 <i>bits</i> ; (d) – Representação do registo de 8 <i>bits</i>	63
Fig. 2.26 - Utilização de um registo com bâsculas quando as entradas do registo dependem das próprias saídas	64
Fig. 2.27 - Utilização de saídas com capacidade de três estados (<i>tristate</i>)	65
Fig. 2.28 - Registo de 8 <i>bits</i> com saídas <i>tristate</i> . (a) – Versão mais detalhada; (b) – Representação do conjunto a usar em diagramas mais complexos	67
Fig. 2.29 - Banco de registos	67
Fig. 2.30 - Contador com bâscula D em sequência (<i>ripple</i>), ligado a um decodificador de sete segmentos. (a) – Circuito; (b) – Diagrama temporal, ilustrando os sucessivos atrasos	68
Fig. 2.31 - Mapas de Karnaugh para simplificar as expressões das entradas das bâsculas do contador	70
Fig. 2.32 - Contador binário, ligado a um decodificador de sete segmentos	71
Fig. 2.33 - Contador binário com possibilidade de carregamento de um valor em paralelo	72
Fig. 2.34 - Exemplo de aplicação de um contador binário com carregamento em paralelo	72
Fig. 2.35 - Exemplo de aplicação de um contador binário de contagem decrescente com carregamento em paralelo. (a) – Circuito; (b) – Evolução temporal dos sinais	73
Fig. 2.36 - Registos de deslocamento. (a) – Para a direita; (b) – Para a esquerda	74
Fig. 2.37 - Registo de deslocamento para a direita com carregamento em paralelo.....	74
Fig. 2.38 - Modelos de máquinas de estado. (a) – Modelo de Moore; (b) – Modelo de Mealy	76
Fig. 2.39 - Diagrama de estados do microondas simples	77
Fig. 2.40 - Circuito do controlo do microondas simples	78
Fig. 2.41 - Diagrama de estados do semáforo simples	80

Fig. 2.42 - Diagrama de estados do semáforo com botão para peões.....	81
Fig. 2.43 - Esquema básico de uma máquina de estados microprogramada, com uma ROM (sem variáveis de entrada).....	83
Fig. 2.44 - Esquema básico de uma máquina de estados microprogramada, com uma ROM (com uma variável de entrada). (a) – versão mais genérica; (b) – com incremento de estado por omissão	86
Fig. 2.45 - Conversão de um número decimal em binário.....	89
Fig. 2.46 - Correspondência entre as representações de um número em binário e em hexadecimal	90
Fig. 2.47 - Conversão entre as representações de um número em decimal e em hexadecimal.....	91
Fig. 2.48 - Complemento para 2. (a) – Obtenção do simétrico de 42H; (b) – Soma de 42H com o seu simétrico; (c) – Simétrico de zero; (d) – Simétrico de -1	96
Fig. 2.49 - Estrutura de um somador de transporte em onda (<i>ripple</i>). (a) – Somador elementar de 1 <i>bit</i> ; (b) – Circuito interno do somador elementar; (c) – Somador de N <i>bits</i>	99
Fig. 2.50 - Circuito somador/subtractor. Com $F=0$, faz $S=X+Y$. Com $F=1$, faz $S=X-Y$	101
Fig. 2.51 - Circuito somador/subtractor com detecção de excesso (<i>overflow</i>)	102
Fig. 2.52 - Multiplicação de números binários sem sinal	103
Fig. 2.53 - Circuito (simplificado) para a multiplicação de números binários sem sinal	104
Fig. 2.54 - Divisão de números binários sem sinal.....	106
Fig. 2.55 - Circuito (simplificado) para a divisão de números binários sem sinal.....	106
Fig. 3.1 - Arquitectura básica de um computador	115
Fig. 3.2 - Esquema básico de uma RAM (<i>Random Access Memory</i>) com 16 células	116
Fig. 3.3 - O sinal <code>ESCR_A</code> memoriza no registo A o primeiro operando lido da memória	121
Fig. 3.4 - Escrita no registo A do resultado de uma soma, activando o sinal <code>ESCR_A</code>	121
Fig. 3.5 - A utilização de um <i>multiplexer</i> permite escolher, de acordo com o sinal <code>SEL_A</code> , a fonte do valor a escrever no registo A: ou o resultado de uma soma ou um valor lido da memória de dados.....	122
Fig. 3.6 - A ligação da saída do registo A à entrada da memória de dados permite guardar o valor deste registo na memória de dados (só quando se activa <code>WR</code>)	123
Fig. 3.7 - Soma e subtração de dois números binários de 8 <i>bits</i>	125
Fig. 3.8 - Equivalência entre subtração e soma com o complemento para 2	125
Fig. 3.9 - Conjunção (AND) e disjunção (OR) de dois números binários de 8 <i>bits</i>	126
Fig. 3.10 - Unidade de dados com uma unidade aritmética e lógica (ALU) em vez de um simples somador. O sinal <code>SEL_ALU</code> especifica a operação pretendida	127
Fig. 3.11 - Possível implementação da unidade aritmética e lógica (ALU) da Fig. 3.10	127

Fig. 3.12 - Especificação dos sinais de controlo pelas instruções na memória de instruções.....	131
Fig. 3.13 - Especificação da instrução a executar pelo contador de programa (PC – <i>Program Counter</i>). Embora rudimentar, este circuito já é o embrião do PEPE-8	132
Fig. 3.14 - Hipótese de especificação de constantes nas instruções. O problema é que nem todas as instruções têm apenas uma constante. Esta não é uma boa solução	136
Fig. 3.15 - Circuito com suporte para constantes	139
Fig. 3.16 - Circuito com suporte para saltos (condicionais e incondicionais)	141
Fig. 3.17 - Circuito completo do processador (PEPE-8, versão preliminar) e das memórias de instruções e de dados	145
Fig. 3.18 - Circuito completo do processador (PEPE-8, versão final), com descodificação dos <i>opcodes</i> das instruções por ROM	150
Fig. 3.19 - Sinais activos na instrução LD <i>valor</i>	156
Fig. 3.20 - Sinais activos na instrução LD [<i>endereço</i>]	157
Fig. 3.21 - Sinais activos na instrução ST [<i>endereço</i>]	157
Fig. 3.22 - Sinais activos na instrução ADD <i>valor</i>	158
Fig. 3.23 - Sinais activos na instrução ADD [<i>endereço</i>].....	158
Fig. 3.24 - Sinais activos na instrução JMP <i>endereço</i>	159
Fig. 3.25 - Sinais activos na instrução JZ <i>endereço</i>	159
Fig. 3.26 - PEPE-8 com ligação às memórias e aos periféricos. As ligações mais importantes têm a sua largura em <i>bits</i> especificada. O <i>bit</i> de maior peso do endereço de dados indica se o acesso é à memória ou aos periféricos.....	167
Fig. 3.27 - Escrita na memória de dados, com os sinais activos destacados. O periférico de saída tem o sinal WR activado, mas não o sinal CS (que é activo a 0), pelo que os seus <i>bits</i> não são alterados.....	170
Fig. 3.28 - Escrita no periférico de saída, com os sinais activos destacados. A memória de dados tem WR activado, mas não CS (que é activo a 0), pelo que a célula endereçada não é alterada. O periférico de entrada tem CS activo mas não RD, pelo que não é acedido	171
Fig. 3.29 - Leitura da memória de dados, com os sinais activos destacados. WR da memória está inactivo (leitura). O periférico de entrada tem RD activo mas não CS, pelo que a sua saída de dados está inactiva, evitando conflitos com a memória.....	172
Fig. 3.30 - Leitura do periférico de entrada, com os sinais activos destacados. A memória tem a sua saída de dados inactiva, para evitar conflito com o periférico.....	172
Fig. 4.1 - Estrutura interna do PEPE-8.....	184
Fig. 4.2 - Processador com banco de registos.....	188
Fig. 4.3 - As <i>caches</i> permitem uma aparente separação das memórias de instruções e de dados. A interface de memória coordena as escritas e leituras à memória principal	191

Fig. 4.4 - Palavras com os <i>bytes</i> identificados por letras. (a) – De 16 <i>bits</i> ; (b) – De 32 <i>bits</i>	197
Fig. 4.5 - Registos do banco de registos do PEPE. Cada registo tem 16 <i>bits</i> , ou 2 <i>bytes</i> . A divisão vertical é meramente conceptual. Os cinco últimos registos têm algumas funcionalidades específicas, pelo que o seu uso deve ser controlado	204
Fig. 4.6 - Disposição dos <i>bits</i> de estado no RE (Registo de Estado).....	206
Fig. 4.7 - Circuito de base para exemplificar as instruções do PEPE.....	213
Fig. 4.8 - Acesso a tabelas em memória através de uma base (R1) e de um índice (R2) para obter o endereço do elemento pretendido. Também é possível aceder directamente, sem tabela (com R3)	224
Fig. 4.9 - Acesso a tabelas em memória através de uma base e de um índice constante (instrução MOV R0, [R1+6])	228
Fig. 4.10 - Disposição de uma cadeia de caracteres (<i>string</i>) em memória, usando codificação ASCII. O valor 00H serve de terminador	231
Fig. 4.11 - Disposição dos caracteres de 8 <i>bits</i> na memória de 16 <i>bits</i>	232
Fig. 4.12 - Situação pretendida após execução do Programa 4.7	232
Fig. 4.13 - Situação pretendida após execução do Programa 4.8	236
Fig. 4.14 - Soma de um número em duas partes.....	241
Fig. 4.15 - Exemplos de instruções lógicas. Para além do resultado indica-se também o efeito nos <i>bits</i> de estado Z e N.....	247
Fig. 4.16 - Conversão de letras maiúsculas e minúsculas para maiúsculas	252
Fig. 4.17 - Efeito de uma máscara (0FH) com as várias operações lógicas	255
Fig. 4.18 - Cifra de caracteres (negação de alguns <i>bits</i>) com uma máscara XOR.....	259
Fig. 4.19 - Deslocamento linear de um <i>bit</i> (uma posição). Os registos são de 8 <i>bits</i> , mas o princípio é o mesmo para qualquer número de <i>bits</i> . Um deslocamento de N <i>bits</i> repete o deslocamento de um <i>bit</i> N vezes ($1 \leq N \leq 15$)	263
Fig. 4.20 - Deslocamentos lineares, lógicos e aritméticos, à esquerda e à direita. Os registos são de 8 <i>bits</i> , mas o princípio é o mesmo para qualquer número de <i>bits</i>	264
Fig. 4.21 - Compactação de dois dígitos em BCD num só <i>byte</i> a partir de dois dígitos em ASCII (38H e 32H, ou '8' e '2')	266
Fig. 4.22 - Rotação de um <i>bit</i> (uma posição). Os registos são de 8 <i>bits</i> , mas o princípio é o mesmo para qualquer número de <i>bits</i> . Uma rotação de N <i>bits</i> repete a rotação de um <i>bit</i> N vezes ($1 \leq N \leq 15$)	267
Fig. 4.23 - Rotações, com e sem transporte, à esquerda e à direita. Os registos são de 8 <i>bits</i> , mas o princípio é o mesmo para qualquer número de <i>bits</i>	267
Fig. 5.1 - Ilustração do algoritmo de ordenação de bolha para quatro números. Os rectângulos indicam os pares de números testados. Aqueles em que houve troca de números face à iteração anterior estão a cinzento.....	277

Fig. 5.2 - Elementos básicos de um fluxograma (S – Sim, N – Não).....	278
Fig. 5.3 - Fluxograma do algoritmo de ordenação por bolha	279
Fig. 5.4 - Chamadas de uma função. Os rectângulos são instruções, executados sequencialmente. Os rectângulos mais escuros são os de chamada da função, que retorna sempre para a instrução seguinte àquela que a chamou.....	307
Fig. 5.5 - Mecanismo de chamada/retorno de rotinas com endereço de retorno guardado em memória (na pilha), com a evolução do estado da pilha ao longo da chamada/retorno de algumas rotinas	323
Fig. 5.6 - Implementação da pilha, em várias situações: (a) – Pilha vazia; (b) – Pilha com três endereços de retorno; (c) – Pilha com seis endereços de retorno; (d) – Pilha cheia	325
Fig. 5.7 - Variantes da implementação da pilha, em várias situações: (a) a (d) – Pilha com funcionamento igual ao da Fig. 5.6 (usada no PEPE); (e) a (h) – Pilha com topo em baixo e SP a apontar para a primeira posição livre.....	333
Fig. 5.8 - Evolução da pilha ao longo da chamada da rotina da Tabela 5.25: (a) – Estado inicial; (b) – Após colocar parâmetros na pilha; (c) – Após o CALL; (d) – Após a rotina guardar os valores de registos na pilha; (e) – Após escrita do resultado (registo W) na pilha; (f) – Após repor os registos guardados na pilha; (g) – Após o RET (h) – Estado que a pilha deveria ter após o RET	350
Fig. 5.9 - Evolução do contexto de uma rotina ao longo da sua chamada: (a) – Estado inicial; (b) – Após colocar parâmetros na pilha; (c) – Após o CALL; (d) – Após a rotina guardar os registos na pilha; (e) – Após escrita do resultado (registo W) na pilha; (f) – Após repor os registos guardados na pilha; (g) – Após o retorno; (h) – Estado que a pilha deveria ter após o retorno	353
Fig. 5.10 - Implementação de uma tabela de duas dimensões em memória. (a) – Tabela em duas dimensões; (b) – Tabela linearizada por linhas; (c) – Índice dos elementos nas tabelas linearizadas; (d) – Tabela linearizada por colunas.....	369
Fig. 5.11 - Organização típica da pilha e do montão	381
Fig. 5.12 - Exemplo de lista ligada. Tem de haver um registo ou célula de memória que aponte para a cabeça. (a) – Lista original; (b) – Após inserção de um novo elemento antes da cauda; (c) – Após remoção da <i>Ficha2</i> da lista	384
Fig. 5.13 - Uma possível implementação em memória do exemplo da Fig. 5.12, mostrando o valor dos apontadores	385
Fig. 5.14 - Ciclo de desenvolvimento de um programa.....	391
Fig. 5.15 - Ambientes de desenvolvimento de um programa: (a) – Para o próprio computador; (b) – Para outro computador(desenvolvimento cruzado – <i>cross development</i>).....	398
Fig. 5.16 - Exemplo de um computador alvo usado num sistema de desenvolvimento cruzado..	400
Fig. 5.17 - Exemplo de um microcontrolador, um computador completo num só circuito integrado	402
Fig. 6.1 - Barramentos do PEPE, ilustrando a ligação do processador aos dispositivos	412

Fig. 6.2 - Circuito da Fig. 6.1 corrigido em termos de barramento de controlo (os sinais RD e WR só devem ligar aos dispositivos que suportem a operação respectiva).....	415
Fig. 6.3 - Descodificação de endereços, activando um dos sinais individuais de selecção de dispositivo para um determinado valor do barramento de endereços	418
Fig. 6.4 - Descodificação de endereços para implementar o mapa de endereços da Tabela 6.2....	420
Fig. 6.5 - Representação gráfica do mapa de endereços da Tabela 6.2 e evolução dos quatro <i>bits</i> de maior peso do barramento de endereços. Note-se que o último endereço não é 64 K mas sim 64 K-1 (FFFFH).....	421
Fig. 6.6 - Discriminação de todos os <i>bits</i> de endereço de forma a eliminar os espelhos na descodificação de endereços.....	424
Fig. 6.7 - Descodificação de um mapa de endereços irregular com descodificadores	426
Fig. 6.8 - Descodificação de um mapa de endereços irregular com PROMs	428
Fig. 6.9 - Descodificação de endereços. (a) – De palavra; (b) – De <i>byte</i> ; (c) Detalhe de geração dos sinais de selecção par e ímpar	431
Fig. 6.10 - Sistema da Fig. 6.4 mas agora com descodificação de endereços. O bloco SA (Selector de Acesso) é o descrito pela Fig. 6.9c	434
Fig. 6.11 - Descodificação de endereços de <i>byte</i> separada para os endereços pares e ímpares	435
Fig. 6.12 - Organização da memória. (a) – Modelo conceptual com endereçamento de <i>byte</i> (sequência linear de <i>bytes</i>); (b) – Modelo real, ilustrando a ligação ao barramento de dados do processador; (c) – <i>Bytes</i> que constituem cada palavra num acesso em 16 <i>bits</i> (sempre com endereço par)	436
Fig. 6.13 - Ligação de periféricos de 8 e 16 <i>bits</i>	437
Fig. 6.14 - Métodos de ligar o processador à memória: (a, b, c) – <i>Big-endian</i> ; (d, e, f) – <i>Little-endian</i> (o processador foi omitido para não estar repetido).....	439
Fig. 6.15 - Disposição em memória da palavra de 32 <i>bits</i> 98 76 54 32H com um processador de 32 <i>bits</i> . (a) – <i>Big-endian</i> ; (b) – <i>Little-endian</i>	442
Fig. 6.16 - Alinhamento dos acessos à memória. (a) e (b) – Acessos individuais a um <i>byte</i> , par ou ímpar, sem problemas de alinhamento; (c) – Acesso a uma palavra alinhada; (d) – O acesso a um endereço ímpar (desalinhado) obriga a efectuar dois acessos para aceder correctamente à palavra inteira	445
Fig. 6.17 - Ligação de um dispositivo a um barramento de dados e respectivo controlo, com recurso a uma interface <i>tristate</i> caso o dispositivo possa ser lido. (a) – Periférico só de saída; (b) – Periférico só de entrada; (c) – Periférico de entrada/saída; (d) – Memória.....	447
Fig. 6.18 - Ciclo de leitura no acesso à memória/periféricos. O primeiro ciclo acede à memória em modo de <i>byte</i> (BA=1)	449
Fig. 6.19 - Ciclos de escrita no acesso à memória/periféricos. O primeiro ciclo acede à memória em modo de <i>byte</i> (BA=1)	451
Fig. 6.20 - Os ciclos de acesso à memória/periféricos em leitura e escrita podem suceder-se de forma contínua.....	452

Fig. 6.21 - Tempos mais relevantes a respeitar nos ciclos de acesso à memória/periféricos.....	453
Fig. 6.22 - Prolongamento do tempo de acesso num ciclo de leitura quando o pino WAIT do processador é activado.....	457
Fig. 6.23 - Princípio básico das interrupções. O programa prossegue normalmente, sem se preocupar se alguma tecla foi carregada. O tratamento da tecla é automático	460
Fig. 6.24 - Uso do registo BTE, da Tabela de Excepções e do número da excepção que ocorreu para determinar o endereço da rotina que a atende	461
Fig. 6.25 - Pinos de interrupção do PEPE	463
Fig. 6.26 - Ligação de um interruptor a um dos pinos de interrupção do PEPE. (a) – Resistência de pull-up; (b) – Resistência de pull-down.....	463
Fig. 6.27 - Bits de controlo das interrupções no RE (Registo de Estado)	464
Fig. 6.28 - Exemplos que ilustram o funcionamento das interrupções.....	467
Fig. 6.29 - Ciclo de processamento das instruções, incluindo detecção e tratamento das interrupções. Note-se a execução da instrução RFE.....	470
Fig. 6.30 - Controlo da intensidade luminosa de uma lâmpada de incandescência com recurso a interrupções. O triac é um interruptor electrónico que permite ligar e desligar a lâmpada.....	471
Fig. 6.31 - Circuito de controlo da intensidade luminosa de uma lâmpada usando um triac comandado por um microprocessador. Por simplicidade, a memória está omitida	473
Fig. 6.32 - Controlador de interrupções programável (PIC) e coexistência entre pinos de interrupção simples e vectorizados.....	476
Fig. 6.33 - Ciclo de leitura do vector do controlador de interrupções programável (PIC)	478
Fig. 6.34 - Registo de Estado (RE) incluindo os bits TD e TV, que controlam as excepções DIV0 e EXCESSO, respectivamente.....	481
Fig. 6.35 - Com movimento de rotação do disco e linear do braço consegue posicionar-se a cabeça magnética em qualquer ponto do disco. (a) – Posição de repouso; (b) – Braço posicionado num cilindro intermédio	484
Fig. 6.36 - Organização dos dados do disco. (a) – Conjunto de pistas concêntricas; (b) – Uma única pista, a que é possível aceder com o braço fixo; (c) – Pista com sectores marcados	485
Fig. 6.37 - Estrutura de uma interface gráfica e geração das imagens no monitor	487
Fig. 6.38 - Principais métodos de arbítrio. (a) – Em cadeia; (b) – Centralizado paralelo; (c) – Conflito na identificação; (d) – Colisão nos dados.....	488
Fig. 6.39 - Comunicação paralela assíncrona. (a) – Ligação entre emissor e receptor; (b) – Sequência temporal dos sinais	491
Fig. 6.40 - Comunicação série assíncrona. (a) – Emissor (o tempo de repouso pode variar entre 0 e infinito); (b) – Recuperação dos bytes no receptor por amostragem do sinal; (c) – Receptor com frequência de recepção ligeiramente inferior à frequência de emissão	494
Fig. 6.41 - Envoltório (início e fim) de cada pacote, com indicação do número de bits gastos antes e depois do pacote propriamente dito	496

Fig. 6.42 - Enchimento de <i>bits</i> e codificação NRZI	498
Fig. 6.43 - Topologia física do USB.....	499
Fig. 6.44 - Topologia lógica do USB	501
Fig. 6.45 - Formatos dos pacotes mais relevantes do protocolo do USB. Cada campo tem indicado em cima o número de <i>bits</i> que ocupa. (a) – Símbolo; (b) – Dados; (c) – Aperto-de-mão; (d) – Início de quadro.....	503
Fig. 6.46 - Exemplos de utilização do tempo do USB. Os pacotes a cinzento são enviados pelo dispositivo e os restantes pelo concentrador. (a) – Quadro com duas transacções, ficando o resto do quadro não usado; (b) – Quadro totalmente vazio	504
Fig. 6.47 - Arquitectura do sistema de periféricos. (a) – Sistema simples com periféricos ligados directamente ao barramento do sistema; (b) – Sistema de periféricos com barramentos hierárquicos e interfaces para ligar ao barramento de sistema.....	506
Fig. 6.48 - Circuito simples para teste da espera activa.....	508
Fig. 6.49 - Circuito simples para teste da espera não activa (por interrupções)	509
Fig. 6.50 - Transferência de dados por DMA (<i>Direct Memory Access</i>).....	512
Fig. 6.51 - Arquitectura de entradas/saídas. (a) – Com controlador de DMA; (b) – Com processador de entradas/saídas (que inclui controlador de DMA).....	515
Fig. 6.52 - Arquitectura original do PC (PC/XT).....	518
Fig. 6.53 - Arquitectura do PC com PCI e o seu <i>chipset</i>	532
Fig. 6.54 - Evolução da arquitectura do PC, com porto AGP	533
Fig. 6.55 - <i>Chipset</i> baseado em concentradores (<i>hubs</i>)	533
Fig. 6.56 - Arquitecturas genéricas. (a) – Do PEPE ; (b) – Do CREPE	539
Fig. 6.57 - Arquitectura de um computador baseado no PEPE	562
Fig. 7.1 - Diagrama geral do PEPE	566
Fig. 7.2 - Diagrama geral do núcleo do PEPE, com ênfase no caminho de dados, e ligações às <i>caches</i>	569
Fig. 7.3 - Diagrama de blocos do banco de registos do PEPE.....	573
Fig. 7.4 - Diagrama de blocos da ALU do PEPE	577
Fig. 7.5 - Diagrama de blocos simplificado da unidade de excepções. Apenas estão representadas algumas excepções, a título exemplificativo	580
Fig. 7.6 - Inserção da Unidade de Controlo no diagrama geral do núcleo do PEPE	582
Fig. 7.7 - Circuito microprogramado para deslocar um registo de <i>N bits</i>	586
Fig. 7.8 - Formato da instrução máquina para as novas instruções definidas. (a) – ADDM [Rd], k; (b) – SUM RC, [Rs], Rd	592

Fig. 7.9 - Princípio do processamento em estágios. (a) – Processamento sequencial (uma só instrução de cada vez); (b) – Cadeia de estágios, com unidades especializadas e registos interestágio; (c) – Processamento em estágios.....	596
Fig. 7.10 - Efeito das bolhas na cadeia de estágios. Nos instantes T2, T4 e T5 nenhuma instrução fica pronta, perdendo-se eficiência	598
Fig. 7.11 - Estrutura das cadeias de estágios no PEPE. A cadeia de estágios de microinstruções pode evoluir várias vezes durante um estágio da cadeia de instruções.....	599
Fig. 7.12 - Arquitectura geral do núcleo do PEPE com cadeias de estágios. A zona cinzenta corresponde à cadeia de estágios de instruções	604
Fig. 7.13 - Evolução das cadeias de estágios com o Programa 7.1 da página 606, evidenciando as dependências de dados. Nas instruções com mais de uma microinstrução, só a primeira tem estágio BI e D, este último substituído pelo BM nas microinstruções seguintes	615
Fig. 7.14 - Uso de um relógio de duas fases, permitindo leitura após escrita no mesmo ciclo de relógio. (a) – Diagrama temporal; (b) – Registo interestágio; (c) – Registo do banco de registos.....	616
Fig. 7.15 - Detalhe da cadeia de estágios de microinstruções com os <i>multiplexers</i> para antecipação de dados. Esta figura é apenas ilustrativa, pois o PEPE não suporta esta característica, que exige um circuito de detecção de conflitos	617
Fig. 7.16 - Resolução dos conflitos de dados da Fig. 7.13 com atrasos e troca de instruções independentes (assumindo que os <i>bits</i> de estado não têm influência nas instruções seguintes)	618
Fig. 7.17 - Esquema básico de ligação das <i>caches</i>	624
Fig. 7.18 - Organização básica de uma <i>cache</i>	626
Fig. 7.19 - <i>Cache</i> de mapeamento directo.....	628
Fig. 7.20 - Mapeamento dos blocos na <i>cache</i> no mapeamento directo. Nesta figura, os elementos de memória representados são blocos e não células individuais	629
Fig. 7.21 - Estrutura de uma <i>cache</i> com mapeamento associativo	631
Fig. 7.22 - <i>Cache</i> de mapeamento associativo de duas vias. Consiste de duas <i>caches</i> de mapeamento directo, com procura simultânea (associativa) nas duas <i>caches</i>	633
Fig. 7.23 - Variantes da associatividade com oito blocos (apenas estão representadas as etiquetas). (a) – Mapeamento directo (só uma via); (b) – Mapeamento associativo com duas vias; (c) – Mapeamento associativo com quatro vias; (d) – Mapeamento totalmente associativo (um só conjunto).....	634
Fig. 7.24 - Evolução do subsistema de <i>caches</i> . (a) – Sem <i>cache</i> ; (b) – <i>Cache</i> externa; (c) – <i>Cache</i> interna; (d) – <i>Cache</i> interna (L1) e externa (L2); (e) – Separação da <i>cache</i> L1 em dados e instruções; (f) – Integração da <i>cache</i> L2 no processador; (g) – <i>Cache</i> L3 externa; (h) – Integração da <i>cache</i> L3 no processador.....	639
Fig. 7.25 - Conceito de memória virtual.....	646
Fig. 7.26 - Tradução de endereços numa memória virtual paginada	649

Fig. 7.27 - Tradução de endereços com tabela de páginas multinível paginada.....	653
Fig. 7.28 - Uso da tabela de páginas multinível para aceder à palavra pretendida.....	654
Fig. 7.29 - Integração da TLB na tradução de endereços. Se o número de página virtual constar da TLB, o acesso ao número de página físico é imediato, senão tem de se percorrer a tabela de páginas.....	655
Fig. 7.30 - Integração dos mecanismos de memória virtual e <i>caches</i>	658
Fig. 7.31 - Multiprogramação: despacho e partilha de tempo por vários processos.....	666
Fig. 7.32 - Modelo básico de estados dos processos. Só pode haver um processo em Execução. Os processos no estado Executável constam de uma lista e os que estão no estado Bloqueado constam de outra. Mudança de estado implica passagem para outra lista	667
Fig. 7.33 - Interferência na sequência temporal do processamento dos processos causada pela multiprogramação quando mais do que um processo usa a mesma informação.....	672
Fig. 7.34 - Um semáforo é essencialmente constituído por uma variável inteira e por uma lista dos contextos dos processos bloqueados neste semáforo (que pode estar vazia).....	676
Fig. 7.35 - Divisor microprogramado.....	690
Fig. A.1 - Disposição dos vários <i>bits</i> no RE (Registo de Estado)	696
Fig. B.1 - Esquema de blocos e ligações do CREPE relevantes para o Programa B.1	721
Fig. B.2 - Fluxograma do Programa B.1	722
Fig. C.1 - Circuito a desenhar no SIMAC	726
Fig. C.2 - Circuito da Fig. C.1, desenhado no SIMAC.....	727
Fig. C.3 - Interfaces dos módulos da Fig. C.2	730
Fig. C.4 - Interface do MicroPEPE	731
Fig. C.5 – Painel de Microcódigo do MicroPEPE.....	732
Fig. C.6 – Esquemático interno do MicroPEPE, com sondas em pontos específicos	733
Fig. D.1 - Formatos dos números em vírgula flutuante definidos pela norma IEEE 754. (a) – Precisão simples (32 <i>bits</i>); (b) – Precisão dupla (64 <i>bits</i>).....	737
Fig. D.2 - Número -12,375 representado em vírgula flutuante. (a) – Precisão simples (32 <i>bits</i>); (b) – Precisão dupla (64 <i>bits</i>)	738
Fig. D.3 - Tipos de valores do IEEE 754	740
Fig. D.4 - Estrutura (simplificada) da multiplicação em vírgula flutuante	741
Fig. D.5 - Estrutura (simplificada) da adição em vírgula flutuante	741