

1. Considere que o PEPE é um processador com um pipeline de 4 estágios (cujos registos suportam *read-after-write*, isto é, os registos são escritos na primeira metade do sinal de relógio e os novos valores podem ser lidos já na segunda metade do mesmo ciclo de relógio). Os estágios são os seguintes:
- B (Busca de Instrução)
 - D (Descodificação e Busca de Operandos)
 - E (Execução da Instrução)
 - W (Escrita do Resultado).
- a) Suponha que o processador executa estas instruções, começando com o pipeline vazio. Cada um dos tempos T0 a T7 tem a duração de um ciclo de relógio. Indique (com a letra respectiva) em que tempo é executado cada estágio de cada instrução.
- b) Indique que conflitos de dados são visíveis neste programa, traçando setas entre os estágios em que os valores são produzidos e aquele em que são lidos (em conflito).
- c) Suponha que só pode resolver os conflitos em software. Escreva uma nova versão do programa, sem conflitos (mas mantendo a funcionalidade)

	T0	T1	T2	T3	T4	T5	T6	T7
MOV R2, 21AH	B	D	E	W				
MOV R1, [R2]		B	D	E	W			
MUL R1, R2			B	D	E	W		
OR R2, R0				B	D	E	W	

```

MOV R2, 21AH
NOP
MOV R1, [R2]
NOP
MUL R1, R2
OR R2, R0

```

2. Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento directo, com uma capacidade de 16 palavras (blocos de 1 palavra).

a) Preencha esta tabela para esta *cache*.

N.º bits da etiqueta	11
N.º bits do índice	4

b) Se o tempo de acesso com sucesso (*hit*) for de 1 ns e com insucesso (*miss*) de 10 ns e a taxa de sucesso (*hit rate*) for de 90%, qual o tempo médio (em ns) de um acesso à memória visto pelo núcleo do PEPE?

1,9 ns

3. Imagine um processador com endereçamento de byte, capaz de endereçar um espaço virtual de 00000H até FFFFFH, enquanto o espaço de endereçamento físico vai de 0000H até FFFFH, mas só há RAM de 0000H até 4000H. As páginas físicas têm uma dimensão de 100H bytes. A TLB é totalmente associativa de 8 entradas e tem actualmente o conteúdo da tabela seguinte (algumas posições estão vazias, isto é, não inicializadas).

Posição da TLB	N.º página virtual (hexadecimal)	N.º página física (hexadecimal)
0	---	---
1	---	---
2	280	3D
3	---	---
4	4E7	28
5	---	---
6	B34	1B
7	A08	0B

- c) Suponha agora que o PEPE-8 (processador de 8 bits de dados, com 8 bits de endereço) tem uma *cache* de mapeamento directo com apenas 4 entradas e está inicialmente vazia, sendo feitos os acessos em leitura aos endereços indicados na tabela e pela ordem com que aparecem. Para cada acesso, indique a posição (0 a 3) da *cache* que é usada, se foi *hit* (sim ou não) e qual o valor da etiqueta com que essa posição fica após esse acesso.

Endereço acedido	Posição da <i>cache</i>	<i>Hit</i> (S ou N)	Etiqueta (em binário)
71H	1	N	011100
52H	2	N	010100
71H	1	S	011100
26H	2	N	001001
52H	2	N	010100

- a) Preencha a tabela seguinte para este computador e para este conteúdo da TLB.

N.º bits do espaço virtual	20
N.º bits do espaço físico	16
N.º páginas virtuais	4 K
N.º <u>máximo</u> de páginas virtuais que podem estar carregadas simultaneamente na RAM (considerando que toda a RAM está disponível para conter páginas)	40
N.º de páginas virtuais cuja tradução virtual/físico não precisa de aceder à tabela de páginas	4

- b) O processador acedeu ao endereço físico B34H. Qual o endereço virtual que lhe corresponde?

A0834H